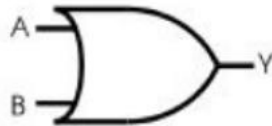


Interpretacja programów w języku FBD

Zadanie 6.

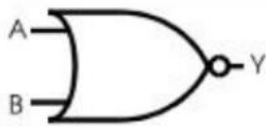
Którego symbolu graficznego należy użyć, aby przedstawić na schemacie układu cyfrowego bramkę logiczną, której wyjście $Y=1$ tylko wtedy, gdy $A \neq B$?



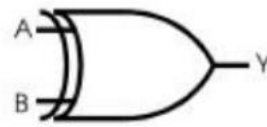
A.



B.



C.

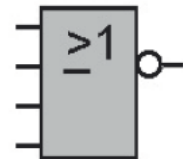


D.

Zadanie 22.

Którą funkcję logiczną realizuje blok, którego symbol graficzny w języku FBD przedstawiono na rysunku?

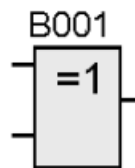
- A. OR
- B. NOR
- C. XOR
- D. XNOR



Zadanie 29.

Blok, którego symbol graficzny w języku FBD przedstawiono na rysunku realizuje funkcję

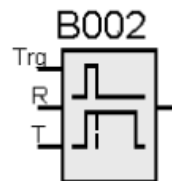
- A. OR
- B. AND
- C. XOR
- D. XNOR



Zadanie 30.

Blok, którego symbol graficzny w języku FBD przedstawiono na rysunku realizuje funkcję

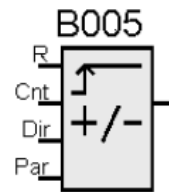
- A. przerzutnika JK
- B. przerzutnika RS
- C. timera On-Delay
- D. timera Off-Delay



Zadanie 32.

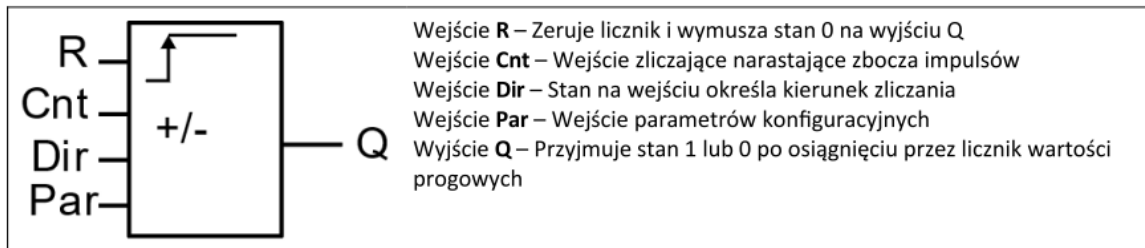
Jaką funkcję pełni wejście Cnt w module licznika, którego symbol graficzny w języku FBD przedstawiono na rysunku?

- A. Zerowanie licznika.
- B. Wybór kierunku zliczania.
- C. Wejście zliczanych impulsów.
- D. Ustawienie wartości początkowej.



Zadanie 23.

Opisy wejść i wyjść licznika CTUD



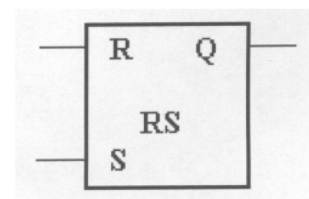
Do którego wejścia licznika CTUD należy podłączyć sygnał sterujący kierunkiem zliczania impulsów (dodawaniem/odejmowaniem)?

- A. R
- B. Cnt
- C. Dir
- D. Par

Zadanie 4.

Przedstawiony na rysunku blok z biblioteki sterownika PLC ma za zadanie

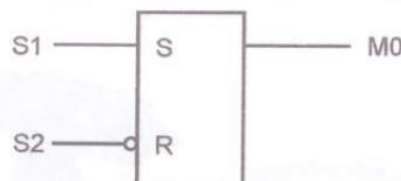
- A. zmianę częstotliwości sygnału cyfrowego.
- B. opóźnienie czasowe sygnału.
- C. odmierzanie określonego czasu.
- D. pamiętanie informacji w postaci binarnej.



Zadanie 36.

Sygnał M0 w układzie przedstawionym na rysunku jest równy 1, gdy

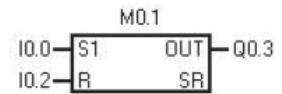
- A. S1 = 1 i S2 = 1
- B. S1 = 0 i S2 = 1
- C. S1 = 1 i S2 = 0
- D. S1 = 0 i S2 = 0



Zadanie 28.

Jaki będzie stan na wyjściu Q0.3 w przypadku jednoczesnego podania sygnału logicznego „1” na wejście I0.0 i I0.2?

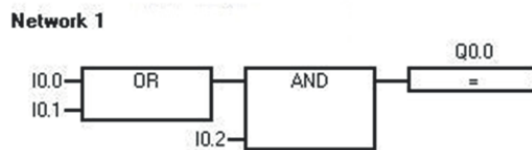
- A. Wysoki.
- B. Niski.
- C. Nieustalony.
- D. Zabroniony.



Zadanie 33.

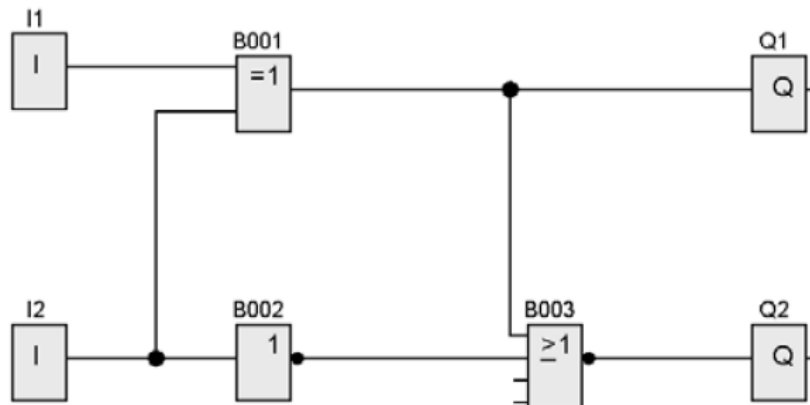
Na podstawie fragmentu programu określ, dla którego stanu wejść sterownika PLC na jego wyjściu Q0.0 zostanie ustawione logiczne zero?

- A. I0.0 = 1, I0.1 = 1, I0.2 = 1
- B. I0.0 = 1, I0.1 = 0, I0.2 = 1
- C. I0.0 = 0, I0.1 = 0, I0.2 = 1
- D. I0.0 = 0, I0.1 = 1, I0.2 = 1



Zadanie 36.

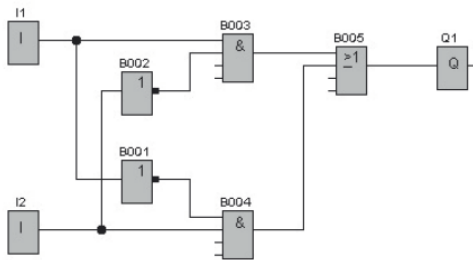
Jakie wartości pojawią się na wyjściach Q1 i Q2 sterownika, realizującego program przedstawiony na schemacie, przy sygnałach wejściowych I1 = I2 = 1?



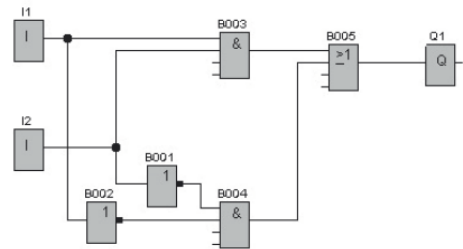
- A. Q1 = 0, Q2 = 0
- B. Q1 = 0, Q2 = 1
- C. Q1 = 1, Q2 = 0
- D. Q1 = 1, Q2 = 1

Zadanie 27.

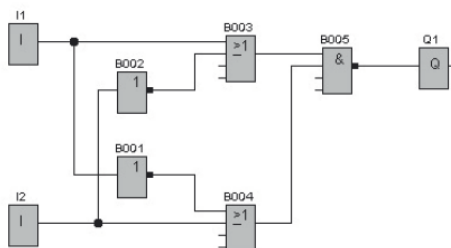
Który z przedstawionych programów w języku FBD realizuje funkcję XOR?



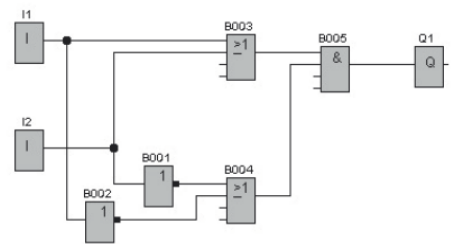
A.



B.



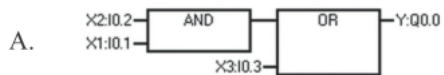
C.



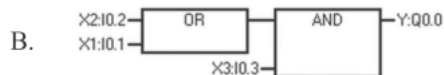
D.

Zadanie 24.

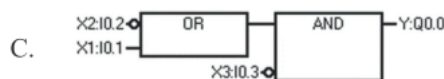
Który z przedstawionych programów, zapisanych w języku FBD, realizuje równanie logiczne $Y = X1 \cdot X2 + X3$?



A.



B.



C.



D.

W zadaniach 32, 26 i 20 przydadzą się prawa de Morgana:

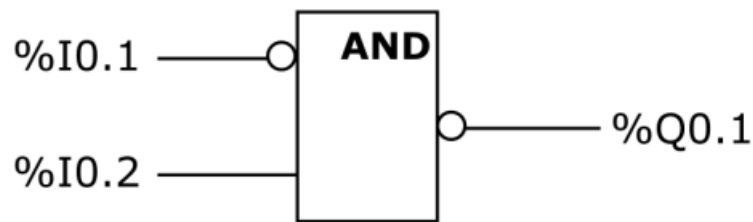
1) Zaprzeczenie koniunktji jest równoważne alternatywie zaprzeczeń, czyli:

$$\overline{(a \cdot b)} = \bar{a} + \bar{b}$$

2) Zaprzeczenie alternatywy jest równoważne koniunktji zaprzeczeń, czyli:

$$\overline{(a + b)} = \bar{a} \cdot \bar{b}$$

Zadanie 32.



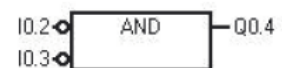
Wskaż równanie logiczne realizujące przedstawiony program?

- A. $\%Q0.1 = \sim (\%I0.1 \wedge \%I0.2)$
- B. $\%Q0.1 = \sim \%I0.1 \vee \sim \%I0.2$
- C. $\%Q0.1 = \sim \%I0.1 \wedge \sim \%I0.2$
- D. $\%Q0.1 = \%I0.1 \vee \sim \%I0.2$

Zadanie 26.

Jaką funkcję logiczną realizuje blok przedstawiony na rysunku?

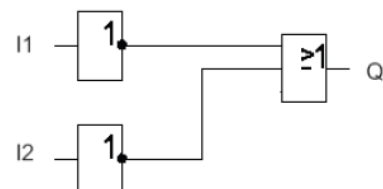
- A. AND
- B. OR
- C. NOR
- D. NOT



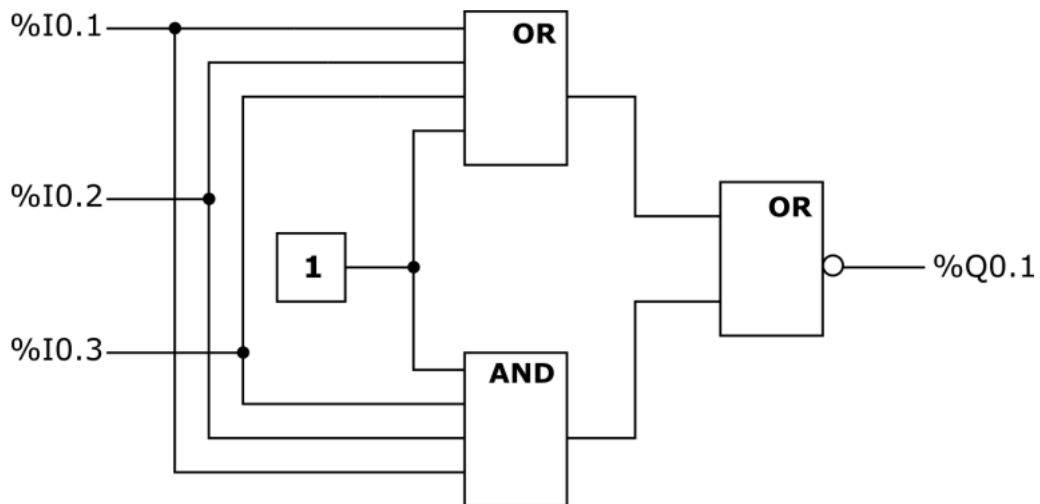
Zadanie 20.

Jaką funkcję logiczną realizuje układ przedstawiony na schemacie?

- A. OR
- B. NOR
- C. AND
- D. NAND



Zadanie 36.



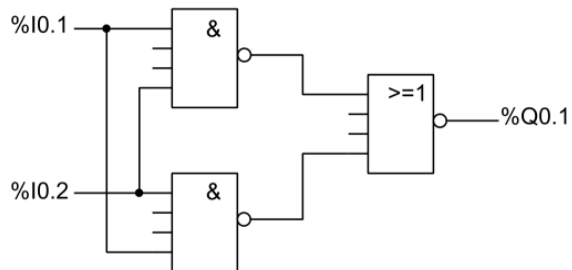
Który z wymienionych opisów stanów wejść %IO.1, %IO.2 i %IO.3 oraz stanu wyjścia %Q0.1 jest prawidłowy dla programu przedstawionego na rysunku?

- A. Wyjście %Q0.1=1 dla wejść %IO.1=%IO.2=%IO.3=0
- B. Wyjście %Q0.1=0 tylko dla wejść %IO.1=%IO.2=%IO.3=1
- C. Wyjście %Q0.1=1 bez względu na stan wejść %IO.1, %IO.2 i %IO.3
- D. Wyjście %Q0.1=0 bez względu na stan wejść %IO.1, %IO.2 i %IO.3

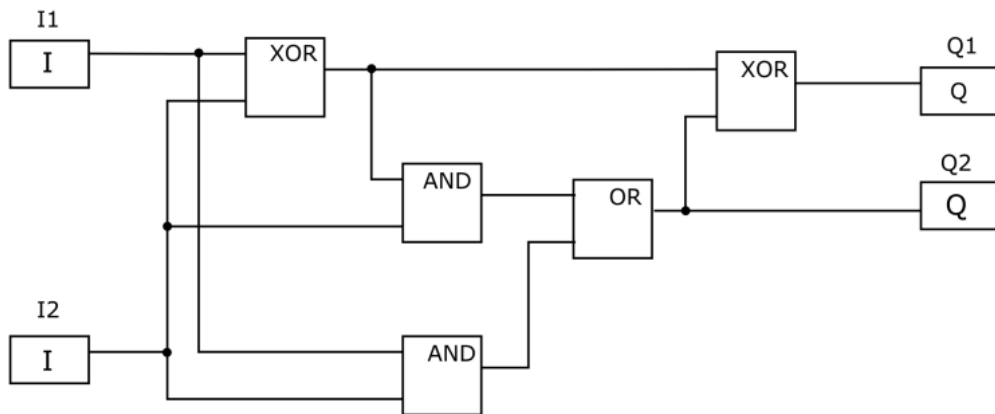
Zadanie 33.

Które stany logiczne zadane na wejścia %IO.1 i %IO.12 spowodują uzyskanie na wyjściu %Q0.1 logicznej 1?

- A. %IO.1 = 0 %IO.12 = 0
- B. %IO.1 = 0 %IO.12 = 1
- C. %IO.1 = 1 %IO.12 = 0
- D. %IO.1 = 1 %IO.12 = 1



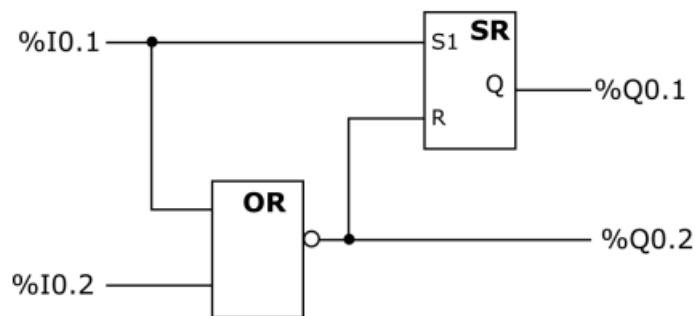
Zadanie 35.



Która z podanych kombinacji wartości logicznych sygnałów na wejściach I1, I2 ustawi jednocześnie na wyjściach Q1 i Q2 wartość logicznej jedynki?

- A. I1=0 i I2=0
- B. I1=0 i I2=1
- C. I1=1 i I2=0
- D. I1=1 i I2=1

Zadanie 30.



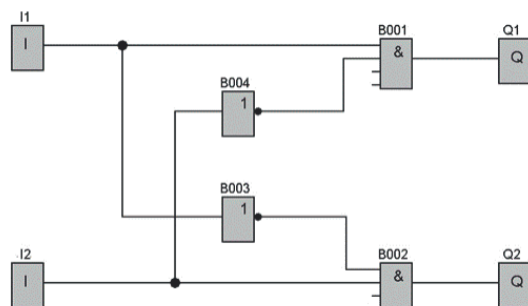
Który stan wyjść **nie jest** możliwy w programie przedstawionym na rysunku?

- A. %Q0.1=0 i %Q0.2=0
- B. %Q0.1=0 i %Q0.2=1
- C. %Q0.1=1 i %Q0.2=0
- D. %Q0.1=1 i %Q0.2=1

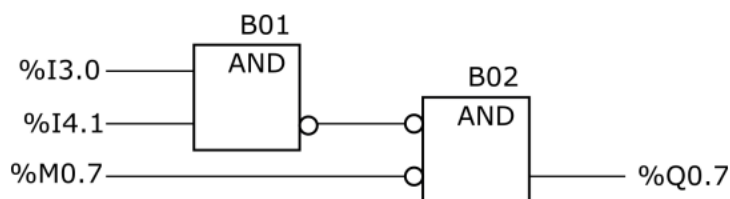
Zadanie 38.

Która kombinacja stanów logicznych nigdy **nie pojawi** się na wyjściach sterownika działającego zgodnie z przedstawionym programem?

- A. Q1 = 0, Q2 = 0
- B. Q1 = 0, Q2 = 1
- C. Q1 = 1, Q2 = 0
- D. Q1 = 1, Q2 = 1



Zadanie 30.



Co jest powodem błędnego działania przedstawionego programu, który w przypadku jednoczesnego uaktywnienia zmiennych %I3.0, %I4.1 oraz %M0.7 powinien zmiennej %Q0.7 przypisać wartość 1?

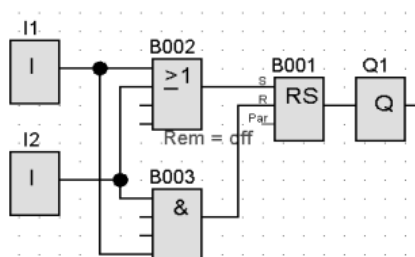
- A. Brak negacji zmiennych %I3.0 i %I4.1 na wejściach instrukcji B01
- B. Podwójna negacja wyniku działania instrukcji B01
- C. Negacja zmiennej %M0.7 na wejściu instrukcji B02
- D. Negacja wyniku działania instrukcji B01

Zadanie 32.

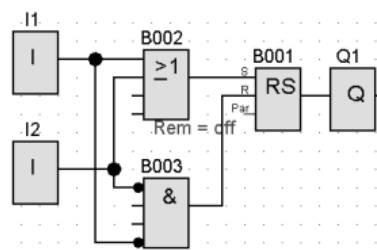
Urządzenie jest sterowane za pomocą sterownika PLC. Który z programów wpisany do sterownika, zapewni działanie urządzenia zgodne z przedstawionym opisem sterowania?

Opis sterowania

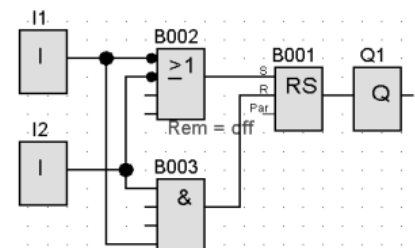
Wciśnięcie dwóch przycisków monostabilnych typu NO podłączonych do wejść I1 i I2 sterownika załącza to urządzenie. Zwolnienie któregokolwiek przycisku natychmiast wyłącza urządzenie.



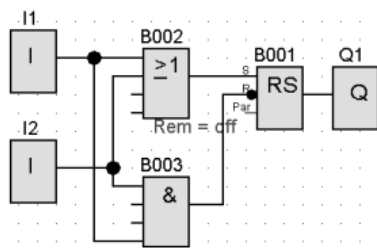
A.



B.



C.



D.

Zadanie 38.

Na jak długo zostanie ustawiony stan 1 na wyjściu Q1 sterownika, realizującego program przedstawiony na rysunku, po pojawieniu się stanu 1 na wejściu I1?

- A. 2 s
- B. 3 s
- C. 5 s
- D. 8 s

