

PRZERZUTNIKI

Przerzutniki to układy logiczne, których podstawową funkcją jest pamiętanie jednego bitu informacji (0 lub 1). Zapamiętany bit określa stan wyjścia przerzutnika. Zbudowane są z bramek logicznych, ale posiadają własne symbole graficzne. Na schematach układów cyfrowych nie rysuje się zatem kilku bramek logicznych tworzących dany przerzutnik, tylko jeden konkretny symbol danego przerzutnika.

Układy logiczne dzielimy na:

- układy kombinacyjne** – stan wyjść zależy tylko od aktualnego stanu wejść, a nie zależy od stanu, w jakim układ był wcześniej,
- układy sekwencyjne** – stan wyjść zależy od aktualnego stanu wejść i od stanu, w jakim układ był wcześniej.

Bramki logiczne, omawiane na kilku ostatnich zajęciach, zaliczane są do układów kombinacyjnych. Przerzutniki zaliczane są do układów sekwencyjnych.

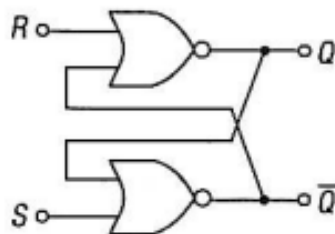
Przerzutniki dzieli się na:

- asynchroniczne** – stan wyjść przerzutnika jest aktualizowany natychmiast po zmianie stanu wejść;
- synchroniczne** – stan wyjść przerzutnika jest aktualizowany tylko w chwilach wyznaczanych przez sygnał zegarowy (sygnał taktujący) o przebiegu prostokątnym.

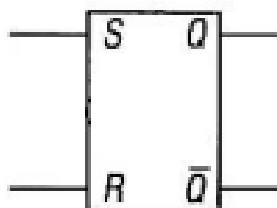
Przerzutnik asynchroniczny reaguje zatem na każdą, nawet chwilową zmianę stanu wejścia. Przerzutnik synchroniczny może taką chwilową zmianę stanu wejścia przegapić, jeżeli częstotliwość sygnału zegarowego jest zbyt mała. Czasami takie gapiostwo przerzutnika synchronicznego jest jednak pożądane. Ma to miejsce, gdy chwilowa zmiana stanu wejścia wynika z zakłóceń, a nie z zamierzonego działania. Przerzutnik synchroniczny nie zauważy wtedy takiego zakłócenia.

Asynchroniczny przerzutnik RS

Asynchroniczny przerzutnik RS w rzeczywistości może być zbudowany z 2 bramek NOR połączonych w następujący sposób:



Posiada 2 wejścia: R i S oraz 2 wyjścia: Q i \bar{Q} (tzw. wyjście zanegowane, czyli o stanie przeciwnym do aktualnego stanu wyjścia Q). Symbol przerzutnika RS wygląda zatem następująco:



Wejście S to wejście ustawiające (ang. Set), a wejście R to wejście zerujące (ang. Reset).

Działanie przerzutnika RS dla różnych kombinacji stanów wejść opisuje poniższa tablica stanów:

R	S	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	-
1	1	1	-

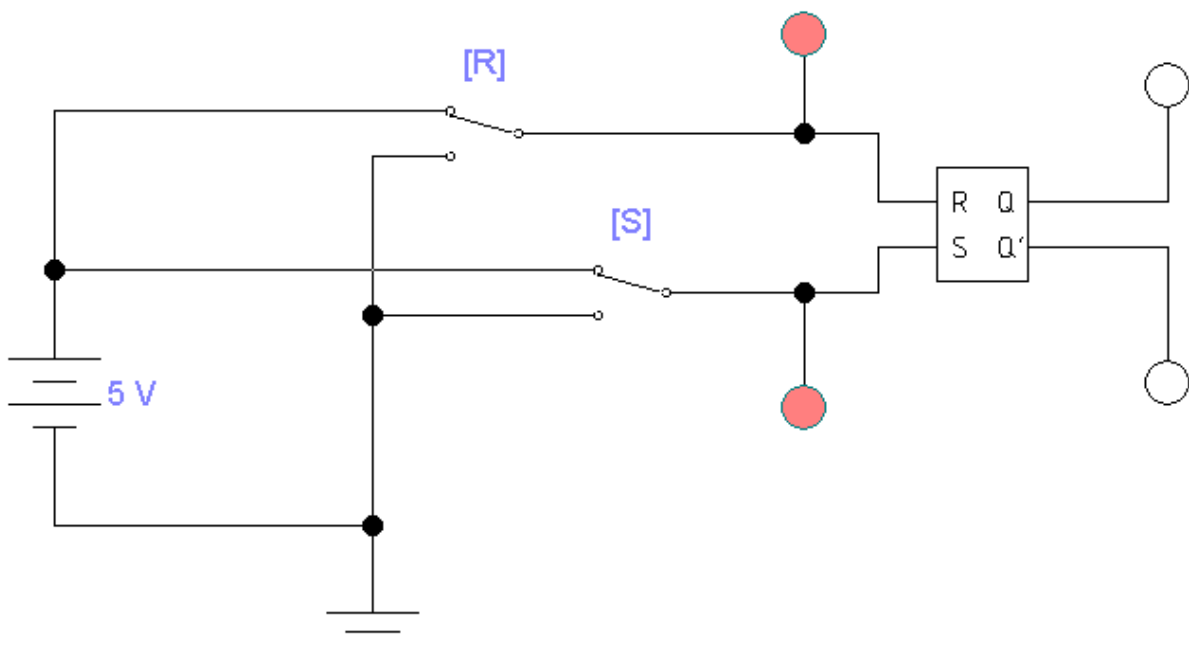
Q_n oznacza dotychczasowy stan wyjścia Q przerzutnika. Q_{n+1} oznacza stan wyjścia Q po pojawieniu się na wejściach R i S stanów logicznych podanych w tablicy.

Można zatem stwierdzić, że:

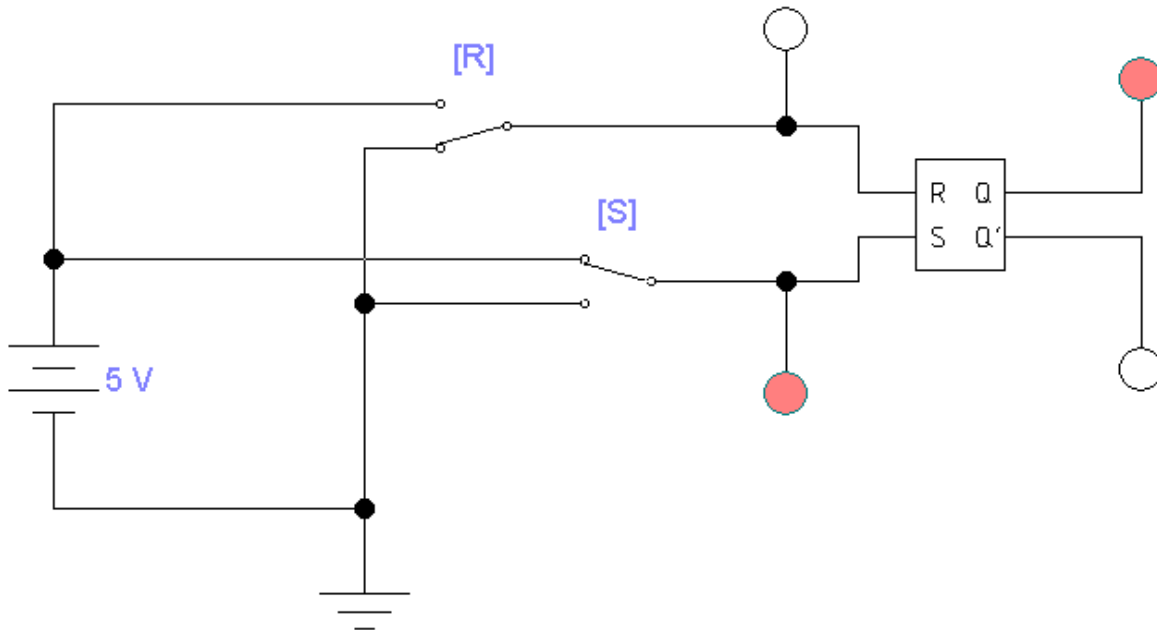
- stan 0 na obu wejściach R i S utrzymuje wyjście Q przerzutnika w dotychczasowym stanie (tzw. stan pamiętania),
- stan 1 na wejściu S i stan 0 na wejściu R ustawia wyjście Q przerzutnika w stan 1,
- stan 0 na wejściu S i stan 1 na wejściu R ustawia wyjście Q przerzutnika w stan 0,
- stan 1 na obu wejściach R i S jest stanem logicznie zabronionym.

Stan logicznie zabroniony nie powoduje fizycznego uszkodzenia przerzutnika. W tym stanie zachodzi jedynie sprzeczność logiczna między stanami wyjść przerzutnika, bo na obu wyjściach: Q i \bar{Q} jest ten sam sygnał logiczny. Zatem stan wyjścia \bar{Q} nie jest w tej sytuacji zanegowanym stanem wyjścia Q. Można to zaobserwować podczas symulacji w programie Electronics Workbench.

Przykład stanu zabronionego na wejściach przerzutnika RS (kolor biały to stan logiczny 0, kolor czerwony to stan logiczny 1, a wyjście Q' to wyjście zanegowane):



Przykład stanu dozwolonego na wejściach przerzutnika RS (kolor biały to stan logiczny 0, kolor czerwony to stan logiczny 1, a wyjście Q' to wyjście zanegowane):



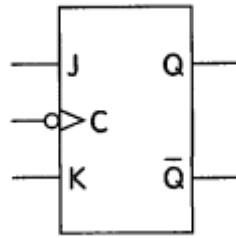
Jeżeli jednak nie zależy nam na wykorzystywaniu zanegowanego wyjścia \bar{Q} przerzutnika, to można uznać, że **stan 1 na obu wejściach R i S ustawia wyjście Q w stan 0. Zatem w przerzutniku RS wejście zerujące R ma wyższy priorytet od wejścia ustawiającego S. Istnieje również przerzutnik SR, w którym wejście ustawiające S ma wyższy priorytet od wejścia zerującego R. W przerzutniku SR stan 1 na obu wejściach S i R ustawia wyjście Q w stan 0.** Kolejność liter w nazwie przerzutników RS i SR nie jest więc przypadkowa.

Synchroniczny przerzutnik JK

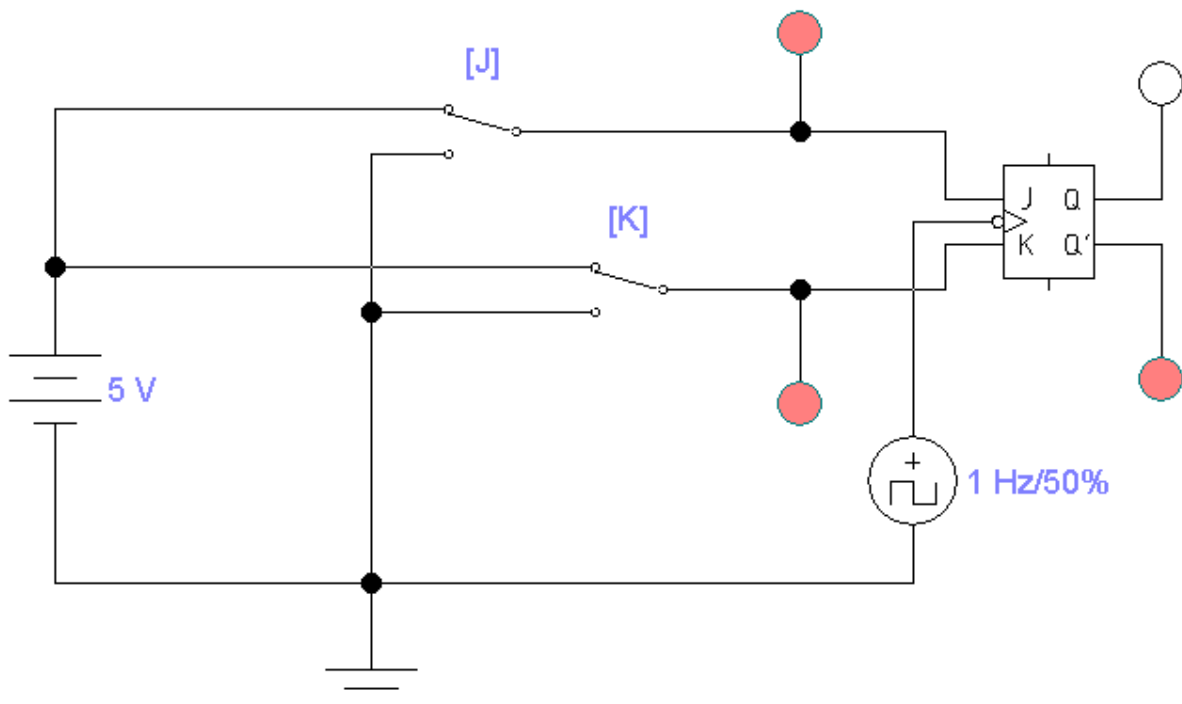
Przerzutnik JK jest rozwinięciem przerzutnika RS. Wejściu R odpowiada wejście K, a wejściu S odpowiada wejście J. Różnica w działaniu polega na tym, że w przerzutniku JK stan 1 na obu wejściach J i K nie jest stanem zabronionym – przerzutnik JK zmienia w tym przypadku stan wyjścia Q na przeciwny w stosunku do dotychczasowego stanu na tym wyjściu, co obrazuje poniższa tablica stanów:

Q_n	J	K	Q_{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

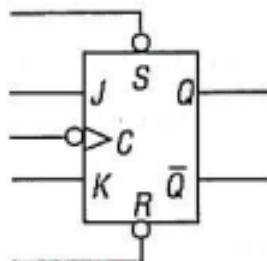
Ponadto przerzutnik JK posiada wejście zegarowe (oznaczone jako C, CK, CL, CLK, CP lub T), zatem aktualizacja stanu wyjść przerzutnika synchronicznego JK następuje tylko w chwilach wyznaczanych przez sygnał zegarowy. Symbol graficzny takiego przerzutnika wygląda wtedy następująco:



Brak występowania stanu logicznie zabronionego w przerzutniku JK można zaobserwować podczas symulacji w programie Electronics Workbench – przy $J=1$ i $K=1$ stany wyjść są przeciwne względem siebie:



Przerzutnik JK może też posiadać asynchroniczne wejście S ustawiające natychmiast wyjście Q przerzutnika JK w stan 1 oraz asynchroniczne wejście R zerujące natychmiast wyjście Q przerzutnika JK ($Q=0$), bez względu na stan wejść J i K. Wejścia R i S są wtedy nadrzędne (ważniejsze od sygnału zegarowego i sygnałów na wejściach J i K). Symbol graficzny takiego przerzutnika wygląda wtedy następująco:



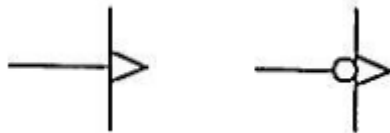
ZADANIE DOMOWE

1. Opisz synchroniczny przerzutnik D (symbol graficzny, krótkie zdanie objaśniające zasadę działania, tablica stanów).
2. Wejścia przerzutników mogą być oznaczane na dwa sposoby (popatrz na ostatni symbol przerzutnika JK):



Czym różni się wejście bez kółka od wejścia z kółkiem? **Nie pisać mi tylko, że różni się... kółkiem!**

3. Wejścia zegarowe przerzutników również mogą być oznaczane na dwa sposoby:



Czym w tym przypadku różni się wejście zegarowe bez kółka od wejścia zegarowego z kółkiem?